

#5

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

Jc971 U.S. PTO

10/014584



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月15日

出 願 番 号

Application Number:

特願2000-382396

出 願 人

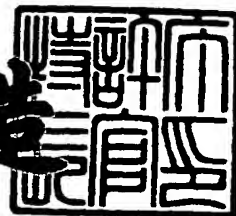
Applicant(s):

セイコーエプソン株式会社

2001年 9月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3081885

【書類名】 特許願

【整理番号】 EP-0278101

【提出日】 平成12年12月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8247

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 古畑 智之

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090398

    【弁理士】

    【氏名又は名称】 大淵 美千栄

    【電話番号】 03-5397-0891

【手数料の表示】

    【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性メモリトランジスタを有する半導体装置

【特許請求の範囲】

【請求項 1】 半導体層と、

前記半導体層上に、ゲート絶縁層としての第 1 の絶縁層を介在させて配置されたフローティングゲートと、

前記フローティングゲートの少なくとも一部と接触し、トンネル絶縁層として機能しうる第 2 の絶縁層と、

前記第 2 の絶縁層の上に形成されたコントロールゲートと、

前記半導体層内に形成された、ソース領域またはドレイン領域を構成する不純物拡散層と、を含み、

前記フローティングゲートの上方において、導電層が設けられ、

前記フローティングゲートの全体は、平面的にみて前記導電層と重なっている、不揮発性メモリトランジスタを有する半導体装置。

【請求項 2】 請求項 1 において、

前記導電層は、平面的にみて前記フローティングゲートの端より外側に突出しており、

平面的にみて前記フローティングゲートの端より外側に突出した部分の前記導電層の幅は、 $0.5\mu\text{m}$ 以下である、不揮発性メモリトランジスタを有する半導体装置。

【請求項 3】 請求項 1 において、

前記フローティングゲートの上方に形成された導電層の側端と、該フローティングゲートの端とは、平面的にみて少なくとも一部において一致している、不揮発性メモリトランジスタを有する半導体装置。

【請求項 4】 請求項 1 ～ 3 のいずれかにおいて、

前記フローティングゲートの形成領域以外の領域の上方における導電層の幅は、前記フローティングゲートの形成領域の上方における導電層の幅より狭い、不揮発性メモリトランジスタを有する半導体装置。

【請求項 5】 請求項 1～4 のいずれかにおいて、

前記導電層は、前記半導体層と電氣的に接続されている、不揮発性メモリトランジスタを有する半導体装置。

【請求項 6】 半導体層と、

前記半導体層上に、ゲート絶縁層としての第 1 の絶縁層を介在させて配置されたフローティングゲートと、

前記フローティングゲートの少なくとも一部と接触し、トンネル絶縁層として機能しうる第 2 の絶縁層と、

前記第 2 の絶縁層の上に形成されたコントロールゲートと、

前記半導体層内に形成された、ソース領域またはドレイン領域を構成する不純物拡散層と、を含み、

前記フローティングゲートの上方において、レベルが異なる複数の導電層が形成され、

前記フローティングゲートの全体は、平面的にみて、複数の前記導電層と重なっている、不揮発性メモリトランジスタを有する半導体装置。

【請求項 7】 請求項 6 において、

少なくとも一つの前記導電層は、平面的にみて前記フローティングゲートの端より外側に突出しており、

平面的にみて前記フローティングゲートの端より外側に突出した部分の前記導電層の幅は、 $0.5\mu\text{m}$ 以下である、不揮発性メモリトランジスタを有する半導体装置。

【請求項 8】 請求項 6 において、

少なくとも一つの前記導電層の側端と、前記フローティングゲートの端とは、平面的にみて少なくとも一部において一致している、不揮発性メモリトランジスタを有する半導体装置。

【請求項 9】 請求項 6～8 のいずれかにおいて、

前記導電層は、前記半導体層と電氣的に接続されている、不揮発性メモリトランジスタを有する半導体装置。

【請求項 10】 半導体層と、

前記半導体層の上方に配置されたフローティングゲートと、

前記フローティングゲートの上方に配置されたコントロールゲートと、を含む不揮発性メモリトランジスタを有し、

前記フローティングゲートのうち、少なくとも上方に前記コントロールゲートが配置されていない領域の鉛直上方には、導電層が設けられてなる、不揮発性メモリトランジスタを有する半導体装置。

【請求項 1 1】 半導体層と、

前記半導体層の上方に配置されたフローティングゲートと、

前記フローティングゲートの上方に配置されたコントロールゲートと、を含む不揮発性メモリトランジスタを有し、

前記不揮発性メモリトランジスタの上方に導電層が設けられ、

前記フローティングゲートの鉛直上方に位置する前記導電層の幅は、前記フローティングゲートの幅より大きく形成されてなる、不揮発性メモリトランジスタを有する半導体装置。

【請求項 1 2】 請求項 1 1 において、

前記フローティングゲートの鉛直上方以外に位置する前記導電層の幅は、前記フローティングゲートの鉛直上方に位置する前記導電層の幅より小さく形成されてなる、不揮発性メモリトランジスタを有する半導体装置。

【請求項 1 3】 請求項 1 0 ～ 1 2 のいずれかにおいて、

前記導電層は、配線層である、不揮発性メモリトランジスタを有する半導体装置。

【請求項 1 4】 請求項 1 3 において、

前記配線層は、最下層の配線層である、不揮発性メモリトランジスタを有する半導体装置。

【請求項 1 5】 半導体層と、

前記半導体層の上方に配置されたフローティングゲートと、

前記フローティングゲートの上方に配置されたコントロールゲートと、を含む不揮発性メモリトランジスタを有し、

前記不揮発性メモリトランジスタの上方に多層構造を有する複数の導電層が設

けられ、

前記フローティングゲートのうち、少なくとも上方に前記コントロールゲートが配置されていない領域の鉛直上方には、前記複数の導電層のうち少なくとも1層の導電層が設けられてなる、不揮発性メモリトランジスタを有する半導体装置

【請求項16】 請求項15において、

前記導電層は、配線層である、不揮発性メモリトランジスタを有する半導体装置。

【請求項17】 請求項10～16のいずれかにおいて、

前記半導体層と前記フローティングゲートとの間に配置された、ゲート絶縁層となる第1の絶縁層と、

前記フローティングゲートの少なくとも一部と接触し、トンネル絶縁層として機能しうる第2の絶縁層と、

前記半導体層内に形成された、ソース領域またはドレイン領域を構成する不純物拡散層と、をさらに含む、不揮発性メモリトランジスタを有する半導体装置。

【請求項18】 請求項1～17のいずれかにおいて、

さらに、他の回路領域が混載された、不揮発性メモリトランジスタを有する半導体装置。

【請求項19】 請求項18において、

前記回路領域は、少なくともロジック回路を含む、不揮発性メモリトランジスタを有する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性メモリトランジスタを有する半導体装置に関する。

【0002】

【背景技術】

電氣的に消去可能なプログラマブルROM（EEPROM）に適用されるデバイスのひとつとして、スプリットゲート構造を有するトランジスタが知られてい

る。図16は、不揮発性メモリトランジスタを含む半導体装置の従来の一例を模式的に示す断面図である。

## 【0003】

半導体装置は、スプリットゲート構造を有する不揮発性メモリトランジスタ（以下「メモリトランジスタ」という）300を含む。

## 【0004】

メモリトランジスタ300は、n型トランジスタを例にとると、図16に示すように、P型のシリコン基板10内に形成された $n^+$ 型不純物拡散層からなるソース領域14およびドレイン領域16と、シリコン基板10の表面に形成されたゲート絶縁層としての第1の絶縁層70とを有する。この第1の絶縁層70上には、フローティングゲート72と、第2の絶縁層76と、コントロールゲート78とが順次形成されている。

## 【0005】

フローティングゲート72の上には、第3の絶縁層74が形成されている。この第3の絶縁層74は、フローティングゲート72となるポリシリコン層の一部を選択酸化することによって形成された絶縁層から構成される。つまり、第3の絶縁層74は、図16に示すように、中央から両端部へ向けてその膜厚が薄くなる構造を有する。その結果、フローティングゲート72の両端の上縁部720は鋭角に形成され、これらの上縁部720で電界集中が起きやすいようになっている。

## 【0006】

このスプリットゲート構造のメモリトランジスタ300を動作させる場合には、たとえば、データの書き込み時には、ソース領域14とドレイン領域16間にチャネル電流を流し、矢印A10で示すように、電荷（ホットエレクトロン）をフローティングゲート72に注入する。また、データの消去時には、所定の高電圧をコントロールゲート78に印加し、ファウラー・ノルドハイムトンネル伝導（FN伝導）によって、フローティングゲート72に蓄積された電荷を、矢印B10で示すように、第3の絶縁層76を介してコントロールゲート78に移動させる。



【0 0 0 7】

【発明が解決しようとする課題】

本発明の目的は、書換え可能回数特性が向上された、不揮発性メモリトランジスタを有する半導体装置を提供することにある。

【0 0 0 8】

【課題を解決するための手段】

(A) 本発明の第1の不揮発性メモリトランジスタを有する半導体装置は、  
半導体層と、

前記半導体層上に、ゲート絶縁層としての第1の絶縁層を介在させて配置されたフローティングゲートと、

前記フローティングゲートの少なくとも一部と接触し、トンネル絶縁層として機能しうる第2の絶縁層と、

前記第2の絶縁層の上に形成されたコントロールゲートと、

前記半導体層内に形成された、ソース領域またはドレイン領域を構成する不純物拡散層と、を含み、

前記フローティングゲートの上方において、導電層が設けられ、

前記フローティングゲートの全体は、平面的にみて前記導電層と重なっている。

【0 0 0 9】

本発明においては、フローティングゲートの全体は、平面的にみて前記導電層と重なっている。このため、導電層は、その導電層の上方における層を形成するための種々の工程（たとえばエッチング工程）において発生するチャージ（プロセス・インデュースド・チャージ；Process Induced Charge）から、フローティングゲートを保護することができる。その結果、フローティングゲートと接触する領域における第2の絶縁層において、そのチャージがトラップされるのを抑えることができる。したがって、第2の絶縁層の劣化を抑えることができ、書換え可能回数を向上することができる。

【0 0 1 0】

また、前記導電層は、平面的にみて前記フローティングゲートの端より外側に

突出している場合には、平面的にみて前記フローティングゲートの端より外側に突出した部分の前記導電層の幅は、好ましくは、 $0.5\mu\text{m}$ 以下である。

【0011】

また、前記フローティングゲートの上方に形成された導電層の側端と、該フローティングゲートの端とは、平面的にみて少なくとも一部において一致していてもよい。

【0012】

また、前記フローティングゲートの形成領域以外の領域の上方における導電層の幅は、前記フローティングゲートの形成領域の上方における導電層の幅より狭くすることができる。

【0013】

また、前記導電層は、前記半導体層と電氣的に接続されていることができる。

【0014】

また、第1の不揮発性メモリトランジスタを有する半導体装置は、  
半導体層と、

前記半導体層の上方に配置されたフローティングゲートと、

前記フローティングゲートの上方に配置されたコントロールゲートと、を含む  
不揮発性メモリトランジスタを有し、

前記フローティングゲートのうち、少なくとも上方に前記コントロールゲートが配置されていない領域の鉛直上方には、導電層が設けられてなる構造を有することもできる。

【0015】

コントロールゲートも、プロセス・インデュースド・チャージからフローティングゲートを保護する効果を有している。したがって、本発明においては、フローティングゲート全面の鉛直上方には、必ずコントロールゲートまたは導電層が配置されているので、フローティングゲート全上表面をプロセス・インデュースド・チャージから保護することができる。その結果、書換え可能回数を向上することができる。

【0016】

また、前記フローティングゲートの鉛直上方に位置する前記導電層の幅は、前記フローティングゲートの幅より大きく形成されてもよい。

【 0 0 1 7 】

また、前記フローティングゲートの鉛直上方以外に位置する前記導電層の幅は、前記フローティングゲートの鉛直上方に位置する前記導電層の幅より小さく形成されてもよい。このようにフローティングゲートの鉛直上方以外に位置する導電層の幅を小さくすることで、導電層の幅をフローティングゲートの幅より広い幅で統一する構造に比べて、この導電層による応力を最小限にすることができる。

【 0 0 1 8 】

また、前記導電層は、配線層とすることができる。

【 0 0 1 9 】

また、配線層が多層構造を有する場合は、前記導電層は、最下層の配線層とすることができる。

【 0 0 2 0 】

(B) 本発明の第2の不揮発性メモリトランジスタを有する半導体装置は、半導体層と、

前記半導体層上に、ゲート絶縁層としての第1の絶縁層を介在させて配置されたフローティングゲートと、

前記フローティングゲートの少なくとも一部と接触し、トンネル絶縁層として機能しうる第2の絶縁層と、

前記第2の絶縁層の上に形成されたコントロールゲートと、

前記半導体層内に形成された、ソース領域またはドレイン領域を構成する不純物拡散層と、を含み、

前記フローティングゲートの上方において、レベルが異なる複数の導電層が形成され、

レベルが異なる複数の前記導電層によって、前記フローティングゲートの全体は覆われている。

【 0 0 2 1 】

ここで「レベルが異なる」とは、異なる層間絶縁層の上に形成されていることを意味する。

【0022】

本発明においては、レベルが異なる複数の前記導電層によって、前記フローティングゲートの全体は覆われている。このため、フローティングゲートと平面的にみて重なる導電層のうち、最上層より上方における層を形成するための種々の工程（たとえばエッチング工程）において発生するチャージ（プロセス・インデュースト・チャージ；Process Induced Charge）から、フローティングゲートを保護することができる。その結果、フローティングゲートと接触する領域における第2の絶縁層において、そのチャージがトラップされるのを抑えることができる。したがって、第2の絶縁層の劣化を抑えることができ、書換え可能回数を向上することができる。

【0023】

また、少なくとも一つの前記導電層は、平面的にみて前記フローティングゲートの端より外側に突出している場合には、平面的にみて前記フローティングゲートの端より外側に突出した部分の前記導電層の幅は、好ましくは、 $0.5\mu\text{m}$ 以下である。

【0024】

また、少なくとも一つの前記導電層の側端と、前記フローティングゲートの端とは、平面的にみて少なくとも一部において一致していることができる。

【0025】

また、前記導電層は、前記半導体層と電氣的に接続されていることができる。

【0026】

また、第2の不揮発性メモリトランジスタを有する半導体装置は、  
半導体層と、  
前記半導体層の上方に配置されたフローティングゲートと、  
前記フローティングゲートの上方に配置されたコントロールゲートと、を含む  
不揮発性メモリトランジスタを有し、  
前記不揮発性メモリトランジスタの上方に多層構造を有する複数の導電層が設

けられ、

前記フローティングゲートのうち、少なくとも上方に前記コントロールゲートが配置されていない領域の鉛直上方には、前記複数の導電層のうち少なくとも1層の導電層が設けられてなる構造を有することができる。

【0027】

本発明においては、フローティングゲート全面の鉛直上方には、必ずコントロールゲートまたは導電層が配置されているので、フローティングゲートの全体をプロセス・インデュースド・チャージから保護することができる。その結果、書換え可能回数を向上することができる。

【0028】

本発明の第1および第2の半導体装置は、さらに、他の回路領域が混載されていることができる。前記回路領域は、少なくともロジック回路を含むことができる。

【0029】

上記において「半導体層」には、半導体基板、および、基板の上に形成された半導体層が含まれる。

【0030】

【発明の実施の形態】

以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【0031】

(デバイスの構造)

実施の形態に係る半導体装置を説明する。図1は、実施の形態に係る半導体装置を模式的に示す平面図である。図2は、バルクの平面を模式的に示す平面図である。図3(a)は、図1のA-A線に沿った断面を模式的に示す断面図である。図3(b)は、図1のB-B線に沿った断面を模式的に示す断面図である。

【0032】

半導体装置は、スプリットゲート構造を有する不揮発性メモリトランジスタ（以下「メモリトランジスタ」という）100を含む。メモリトランジスタは、素子分離領域12によって画定された素子形成領域において形成されている。メモ

リトランジスタ 1 0 0 は、ソース領域 1 4 と、ドレイン領域 1 6 と、ゲート絶縁層として機能する第 1 の絶縁層 2 0 とを有する。ソース領域 1 4 およびドレイン領域 1 6 は、 $n$  型トランジスタを例にとると、 $P$  型のシリコン基板 1 0 内に形成された  $n^+$  型不純物拡散層からなる。第 1 の絶縁層 2 0 は、シリコン基板 1 0 の表面に形成されている。

#### 【0 0 3 3】

第 1 の絶縁層 2 0 の上には、フローティングゲート 2 2 と、第 3 の絶縁層 2 4 とが順次形成されている。第 3 の絶縁層 2 4 は、中央部から側端部へ向けてその膜厚が薄くなる構造を有する。このため、フローティングゲート 2 2 の周縁部の上部 2 2 0 は、鋭角に形成されている。その結果、フローティングゲート 2 2 の周縁部の上部 2 2 0 で電界集中が起きやすいようになっている。

#### 【0 0 3 4】

第 2 の絶縁層 2 6 は、第 3 の絶縁層 2 4 の上面、フローティングゲート 2 2 の上面およびシリコン基板 1 0 の表面を覆うように形成されている。この第 2 の絶縁層 2 6 は、いわゆるトンネル絶縁層として機能する。

#### 【0 0 3 5】

この第 2 の絶縁層 2 6 の上面上には、コントロールゲート 2 8 が形成されている。コントロールゲート 2 8 の上には、必要に応じて、シリサイド層（図示せず）を形成してもよい。シリサイド層の材質としては、たとえば、タングステンシリサイド、モリブデンシリサイド、チタンシリサイド、コバルトシリサイドを挙げることができる。

#### 【0 0 3 6】

シリコン基板 1 0 の上には、層間絶縁層 3 0 が形成されている。層間絶縁層 3 0 において、スルーホール 3 2 が形成されている。スルーホール 3 2 内には、コンタクト層 3 4 が形成されている。コンタクト層 3 4 は、たとえばタングステンプラグからなる。層間絶縁層 3 0 の上には、配線層（導電層）4 0 が形成されている。配線層 4 0 は、コンタクト層 3 4 を介して、ドレイン領域 1 6 と電氣的に接続されている。フローティングゲート 2 2 の全体は、平面的にみてこの配線層 4 0 と重なっている。具体的には、フローティングゲート 2 2 は、配線層 4 0 に

よって完全に覆われている。より具体的には、配線層 4 0 の端 4 0 a は、平面的にみて、フローティングゲート 2 2 の端 2 2 a より外側にある。すなわち、図 3 (a) において、フローティングゲート 2 2 に対向する上方に配線層 4 0 を配置し、配線層 4 0 の幅 W 3 0 は、フローティングゲートの幅 W 4 0 より大きく形成することで、フローティングゲート 2 2 の全面の鉛直上方には、配線層 4 0 が配置されている構造となる。または、配線層 4 0 の端 4 0 a は、平面的にみてフローティングゲート 2 2 の端 2 2 a と一致していてもよい。配線層 4 0 の側端部が平面的にみてフローティングゲート 2 2 の端 2 2 a より外側に突出している場合には、フローティングゲート 2 2 の端 2 2 a より外側に突出している配線層 4 0 の幅 W 1 0 は、好ましくは  $0.5 \mu\text{m}$  以下、より好ましくは  $0.3 \mu\text{m}$  以下である。配線層 4 0 の厚さは、たとえば  $0.3 \sim 1.0 \mu\text{m}$  であり、好ましくは  $0.3 \sim 0.8 \mu\text{m}$  である。

## 【 0 0 3 7 】

## (メモリセルの動作方法)

次に、本発明の半導体装置を構成するメモリトランジスタ 1 0 0 の動作方法の一例について、図 3 (b) を参照して説明する。

## 【 0 0 3 8 】

図 3 (b) において、 $V_c$  はコントロールゲート 2 8 に印加される電圧を示し、 $V_s$  はソース領域 1 4 に印加される電圧を示し、 $V_d$  はドレイン領域 1 6 に印加される電圧を示し、 $V_{sub}$  は P 型のシリコン基板 1 0 に印加される電圧を示す。

## 【 0 0 3 9 】

このメモリトランジスタ 1 0 0 を動作させる場合には、データの書き込み時には、ソース領域 1 4 とドレイン領域 1 6 間にチャネル電流を流し、電荷 (ホットエレクトロン) をフローティングゲート 2 2 に注入する。データの消去時には、所定の高電圧をコントロールゲート 2 8 に印加し、FN 伝導によってフローティングゲート 2 2 に蓄積された電荷をコントロールゲート 2 8 に移動させる。以下に、各動作の一例について述べる。

## 【 0 0 4 0 】

まず、書き込み動作について述べる。なお、矢印A1は、書き込み時の電子の流れを示す。

## 【0041】

データの書き込み動作においては、ドレイン領域16に対してソース領域14を高電位にし、必要に応じてコントロールゲート28に所定電位を印加する。これにより、ドレイン領域16付近で発生するホットエレクトロンは、フローティングゲート22に向かって加速され、第1の絶縁層20を介してフローティングゲート22に注入され、データの書き込みがなされる。

## 【0042】

この書き込み動作では、例えば、コントロールゲート28の電位( $V_c$ )を2V、ソース領域14の電位( $V_s$ )を10.5V、ドレイン領域16の電位( $V_d$ )を0.8Vとする。また、シリコン基板10の電位( $V_{sub}$ )を0Vとする。

## 【0043】

次に、消去動作について説明する。なお、矢印B1は、消去時の電子の流れを示す。

## 【0044】

消去動作においては、ソース領域14およびドレイン領域16の電位に対してコントロールゲート28の電位を高くする。これにより、フローティングゲート22内に蓄積された電荷は、フローティングゲート22の周縁部の上部220からFN伝導によって第2の絶縁層26を突き抜けてコントロールゲート28に放出されて、データが消去される。

## 【0045】

この消去動作では、例えば、コントロールゲート28の電位( $V_c$ )を11.5Vとし、ソース領域14およびドレイン領域16の電位 $V_s$ および $V_d$ を0Vとし、シリコン基板10の電位( $V_{sub}$ )を0Vとする。

## 【0046】

次に読み出し動作について説明する。なお、矢印C1は、読み出し時の電子の流れを示す。



## 【0047】

読み出し動作においては、ソース領域14に対してドレイン領域16を高電位とし、コントロールゲート28に所定の電圧を印加することにより、チャネルの形成の有無によって書き込まれたデータの判定がなされる。すなわち、フローティングゲート22に電荷が注入されていると、フローティングゲート22の電位が低くなるため、チャネルが形成されず、ドレイン電流が流れない。逆に、フローティングゲート22に電荷が注入されていないと、フローティングゲート22の電位が高くなるため、チャネルが形成されてドレイン電流が流れる。そこで、ドレイン領域16から流れる電流をセンスアンプによって検出することにより、メモリトランジスタ100のデータを読み出すことができる。

## 【0048】

読み出し動作においては、例えば、コントロールゲート28の電位( $V_c$ )は3.0Vとし、ソース領域14の電位( $V_s$ )を0Vとし、ドレイン領域16の電位( $V_d$ )を1Vとし、シリコン基板10( $V_{sub}$ )を0Vとする。

## 【0049】

(作用効果)

以下、本実施の形態に係る半導体装置の作用効果について、説明する。

## 【0050】

(1) 図4および図5に示すように、フローティングゲート422の全体が平面的にみて配線層440によって覆われないように、配線層440を形成することが考えられる。しかし、この場合、配線層440より上方における層(たとえば絶縁層、金属層)を形成する際、次のような問題が発生することがある。配線層440より上方における層(絶縁層、金属層)を形成するための種々の工程(たとえばエッチング工程、CVD (Chemical Vapor Deposition) 工程、スパッタリング工程)において、チャージ(具体的にはプロセス・インデュースド・チャージ; Process Induced Charge)が発生する。フローティングゲート422の全体が平面的にみて配線層440によって覆われていないとチャージを遮るものがないため、そのチャージは、フローティングゲート422と接触する領域における第2の絶縁層(トンネル絶縁層)426にトラップされてしまうことと

なる。その結果、第2の絶縁層426が劣化し、書換え可能回数が低下してしまう。

#### 【0051】

しかし、本実施の形態においては、フローティングゲート22の全体が平面的にみて配線層40と重なっている。この配線層40は、配線層40より上方における層を形成するための種々の工程（たとえばエッチング工程、CVD工程、スパッタリング工程）において発生したチャージを遮ることができる。このため、配線層40は、そのチャージからフローティングゲートを保護することができる。したがって、フローティングゲート22と接触する領域における第2の絶縁層（トンネル絶縁層）26において、そのチャージがトラップされるのを抑えることができる。その結果、第2の絶縁層26の劣化を抑えることができる。したがって、書換え可能回数を向上することができる。

#### 【0052】

(2) 配線層40は、シリコン基板10のドレイン領域を構成する不純物拡散層に電氣的に接続されている。このため、電荷（プロセス・インデュースド・チャージ；Process Induced Charge）は、配線層40を介して、シリコン基板10に放電することができる。このため、より確実に、電荷から、メモリトランジスタ100を保護することができる。

#### 【0053】

(3) 上記の実施の形態においては、フローティングゲート22の全体が平面的にみて配線層40と重なっている、すなわちフローティングゲート22の全面の鉛直上方には配線層40が配置されている構造を有している。しかし、これに限らず、フローティングゲート上表面のうち、少なくとも上方に前記コントロールゲートが配置されていない領域の鉛直上方には、導電層が設けられていてもよい。この場合、フローティングゲート全面の鉛直上方には、必ずコントロールゲートまたは導電層が配置されている構造となり、平面的にみてフローティングゲート全体がコントロールゲートまたは導電層と重なっている。そして、コントロールゲートも、プロセス・インデュースド・チャージからフローティングゲートを保護する効果を有しているため、フローティングゲート全体をプロセス・イン

デュースド・チャージから保護することができる。

【 0 0 5 4 】

(変形例)

上記の実施の形態に係る半導体装置は、次の変形が可能である。

【 0 0 5 5 】

(1) 上記の実施の形態においては、フローティングゲート 2 2 の全体は、平面的にみて導電層と重なっている。しかし、これに限定されず、コントロールゲートが上方において形成されていないフローティングゲートの領域の上方において、導電層を形成してもよい。このようにして導電層を形成した場合には、フローティングゲート 2 2 の全体は、平面的にみて、コントロールゲート 2 2 とその導電層とに重なることとなる。

【 0 0 5 6 】

(2) 図 1 2 および図 1 3 に示すように、レベルが異なる第 1 導電層 4 0 a および第 2 導電層 4 0 b によって、フローティングゲート 2 2 の全体が覆われていてもよい。具体的には、第 1 導電層 4 0 a および第 2 導電層 4 0 b は、平面的にみて、フローティングゲート 2 2 の全体と重なっていてもよい。この場合、第 2 導電層 4 0 b の上方における層を形成するための種々の工程（たとえばエッチング工程、CVD 工程、スパッタリング工程）で生じるチャージが、フローティングゲートと接触する領域における第 2 の絶縁層にトラップされるのを抑えることができる。

【 0 0 5 7 】

なお、前記フローティングゲートの全体は、平面的にみてレベルが異なる 3 層以上の導電層と重なっている態様であってもよい。

【 0 0 5 8 】

また、この変形例においては、フローティングゲート 2 2 の全体が平面的にみてレベルが異なる複数の配線層と重なっている、すなわち、フローティングゲート 2 2 の上面全領域の鉛直上方には複数の配線層が配置されている構造を有している。しかし、これに限らず、フローティングゲートのうち、少なくとも上方に前記コントロールゲートが配置されていない領域の鉛直上方には、前記複数の導

電層のうち少なくとも1層の導電層が設けられていればよい。

【0059】

(3) 図15に示すように、フローティングゲート22の形成領域以外の領域の上方における配線層40の幅W20は、フローティングゲート22の上方における配線層40の幅W30より狭い態様をとることもできる。

【0060】

(4) 上記実施の形態においては、第1層目の層間絶縁層の上に形成された配線層によって、フローティングゲート22を覆っている。しかし、第2層目以上の層間絶縁層の上に形成された配線層によって、フローティングゲート22を覆ってもよい。

【0061】

(5) 配線層40は、積極的に低いブレイク・ダウン電圧の拡散層（ツェナーダイオードなどの拡散層）に接続されることもできる。

【0062】

(製造プロセス)

実施の形態に係る半導体装置の製造方法を説明する。図6～図11は、半導体装置の製造工程を模式的に示す断面図である。図6～図11のそれぞれにおいて、(a)は図1のA-A線に対応した断面を模式的に示す断面図であり、(b)は図1のB-B線に対応した断面を模式的に示す断面図である。

【0063】

(A) まず、図6に示すように、シリコン基板10の所定領域において素子分離領域12を形成する。素子分離領域12は、たとえばLOCOS法またはトレんチ素子分離法により形成される。

【0064】

次に、図7に示すように、シリコン基板10の表面に、熱酸化法により、酸化シリコン層（第1の絶縁層）20を形成する。酸化シリコン層20の厚さは、特に限定されないが、ゲート耐圧、データ保持特性などを考慮して好ましくは7～9nmである。

【0065】

次に、酸化シリコン層 2 0 の表面に、ポリシリコン層（導電層）2 2 a を形成し、これにリンやひ素を拡散して n 型のポリシリコン層 2 2 a を形成する。ポリシリコン層 2 2 a の形成方法は、特に限定されず、たとえば、CVD 法である。ポリシリコン層 2 2 a の厚さは、たとえば 5 0 ~ 3 0 0 nm であり、好ましくは 1 0 0 ~ 2 0 0 nm である。

## 【 0 0 6 6 】

ポリシリコン層 2 2 a を n 型にする他の方法としては、ポリシリコン層 2 2 a を形成した後、リンやひ素をイオン注入する方法、ポリシリコン層 2 2 a を形成した後、塩化ホスホリル ( $\text{POCl}_3$ ) を含んだキャリアガスを導入する方法、あるいはポリシリコン層 2 2 a を形成する時に、ホスフィン ( $\text{PH}_3$ ) を含んだキャリアガスを導入する方法、などがある。

## 【 0 0 6 7 】

次に、ポリシリコン層 2 2 a の表面に、例えば CVD 法で窒化シリコン層 5 0 を形成する。次いで、リソグラフィ技術を利用して、窒化シリコン層 5 0 の所定領域を選択的にエッチングして除去する。窒化シリコン層 5 0 の除去される領域 2 4 0 H は、メモリトランジスタ 1 0 0 の第 3 の絶縁層 2 4 が形成される領域である。

## 【 0 0 6 8 】

(B) 次いで、図 8 に示すように、ポリシリコン層 2 2 a の露出部分を選択的に酸化することにより、ポリシリコン層 2 2 a の所定領域の表面に第 3 の絶縁層 2 4 を形成する。選択酸化によって形成された第 3 の絶縁層 2 4 は、中央部の膜厚が最も大きく、端部では徐々に膜厚が小さくなる断面形状を有する。その後、窒化シリコン層 5 0 を除去する。

## 【 0 0 6 9 】

(C) 次に、図 9 に示すように、第 3 の絶縁層 2 4 をマスクとしてエッチングを行ない、ポリシリコン層 2 2 a をパターンニングし、フローティングゲート 2 2 を形成する。さらに、シリコン基板 1 0 上の酸化シリコン層 2 0 を除去する。

## 【 0 0 7 0 】

(D) 次に、図 1 0 に示すように、シリコン基板 1 0 の上に、酸化シリコン層

(第2の絶縁層) 26を堆積する。酸化シリコン層26の厚さは、シリコン基板10の上面を基準として、たとえば20～25nmである。酸化シリコン層26の形成方法は、特に限定されず、たとえば熱酸化法、CVD法をあげることができる。好ましいCVD法は、高温熱CVD法(たとえばシランベースの高温熱CVD法)である。高温熱CVD法により酸化シリコン層26を形成すると、酸化シリコン層26の膜質が緻密になるという利点がある。

## 【0071】

また、酸化シリコン層26は、複数の層が積層されて構成されていてもよい。具体的には、酸化シリコン層26は、熱酸化法により得られた第1の酸化シリコン層とCVD法により得られた第2の酸化シリコン層の積層構造を有していてもよい。

## 【0072】

次に、酸化シリコン層26の表面に、ポリシリコン層28aを形成する。ポリシリコン層28aの形成方法は、特に限定されず、たとえば、CVD法である。ポリシリコン層28aは、上述したポリシリコン層22aと同様の方法により、n型にすることができる。ポリシリコン層28aの膜厚は、たとえば50～300nmである。

## 【0073】

次に、必要に応じて、ポリシリコン層28aの上に、シリサイド層(図示せず)を形成する。シリサイド層は、たとえば、スパッタ法、CVD法により形成されることができる。

## 【0074】

次いで、コントロールゲート28上に所定のパターンを有するレジスト層(図示せず)を形成する。その後、図11に示すように、エッチングによってポリシリコン層28aのパターニングを行い、コントロールゲート28を形成する。

## 【0075】

(E) 次いで、公知の方法により、n型不純物をシリコン基板10にドーピングすることにより、ソース領域14およびドレイン領域16を形成する。以上の工程によって、メモリトランジスタ100が形成される。

## 【0076】

(F) 次に、図3に示すように、全面に層間絶縁層30を形成する。層間絶縁層30は、必要に応じて化学的機械的研磨法により、平坦化される。次に、層間絶縁層30の所定領域において、スルーホール32を形成し、そのスルーホール32を導電材で充填しコンタクト層34を形成する。

## 【0077】

次に、層間絶縁層30の上において、導電層を形成し、その導電層をパターンングすることにより配線層40が形成される。配線層の材質は、アルミニウム、銅、アルミニウムと銅との合金を挙げることができる。

## 【0078】

(エンベデット半導体装置への適用例)

半導体装置は、他の回路領域を含んでいてもよい。他の回路領域としては、ロジック回路、インターフェイス回路、ゲートアレイ回路、メモリ回路（たとえばRAM、ROM）、プロセッサ（たとえばRISC）または各種IP（Intellectual Property）マクロなどの回路、あるいはその他のデジタル回路、アナログ回路などを挙げることができる。

## 【0079】

具体的には、次のエンベデット半導体装置が可能である。図14は、上記実施の形態の半導体装置が適用された、エンベデット半導体装置のレイアウトを示す模式図である。この例では、エンベデット半導体装置2000は、フラッシュメモリ90と、SRAMメモリ92と、RISC94と、アナログ回路96と、インターフェイス回路98とがSOG (Sea of Gate) に混載されている。本発明に係るメモリトランジスタ100は、フラッシュメモリ90の構成要素である。

## 【0080】

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

【図面の簡単な説明】

【図1】

実施の形態に係る半導体装置を模式的に示す平面図である。

【図 2】

バルクの平面を模式的に示す平面図である。

【図 3】

(a) は、図 1 の A - A 線に沿った断面を模式的に示す断面図であり、(b) は、図 1 の B - B 線に沿った断面を模式的に示す断面図である。

【図 4】

作用効果を説明するための、比較例に係る半導体装置を模式的に示す平面図である。

【図 5】

図 4 における C - C 線に沿った断面を模式的に示す断面図である。

【図 6】

半導体装置の製造工程を模式的に示す断面図である。

【図 7】

半導体装置の製造工程を模式的に示す断面図である。

【図 8】

半導体装置の製造工程を模式的に示す断面図である。

【図 9】

半導体装置の製造工程を模式的に示す断面図である。

【図 1 0】

半導体装置の製造工程を模式的に示す断面図である。

【図 1 1】

半導体装置の製造工程を模式的に示す断面図である。

【図 1 2】

変形例に係る半導体装置を模式的に示す平面図である。

【図 1 3】

(a) は、図 1 2 における D - D 線に沿った断面を模式的に示す断面図であり、(b) は、図 1 2 における E - E 線に沿った断面を模式的に示す断面図である。



【図 1 4】

エンベデット半導体装置のレイアウトを示す模式図である。

【図 1 5】

変形例に係る半導体装置を模式的に示す平面図である。

【図 1 6】

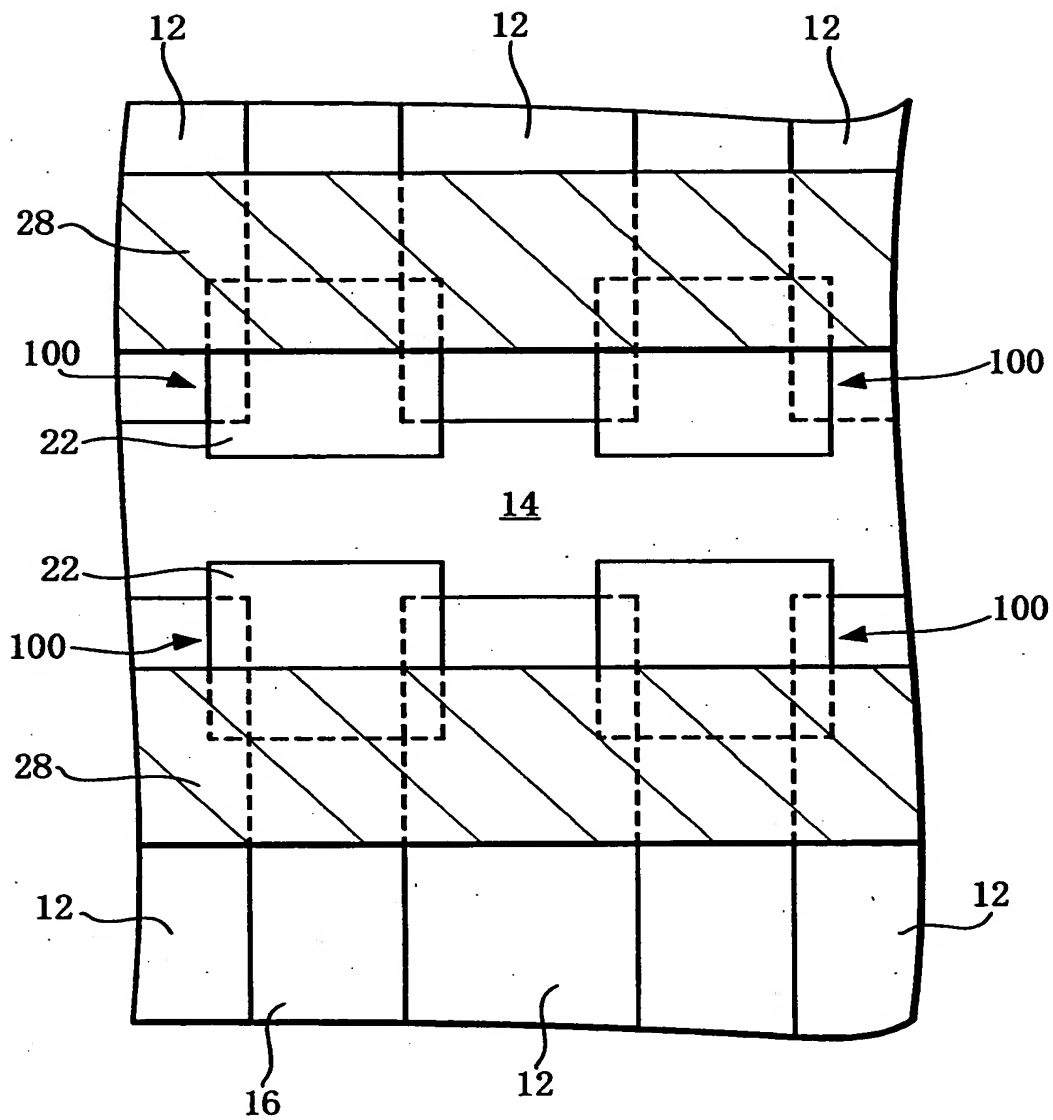
従来例に係る半導体装置を模式的に示す断面図である。

【符号の説明】

- 1 0     シリコン基板
- 1 2     素子分離領域
- 1 4     ソース領域
- 1 6     ドレイン領域
- 2 0     第 1 の絶縁層（酸化シリコン層）
- 2 2     フローティングゲート
- 2 2 a   ポリシリコン層
- 2 4     第 3 の絶縁層
- 2 6     第 2 の絶縁層（酸化シリコン層）
- 2 8     コントロールゲート
- 2 8 a   ポリシリコン層
- 3 0     層間絶縁層
- 3 2     スルーホール
- 3 4     コンタクト層
- 4 0     配線層
- 4 0 a   第 1 の導電層
- 4 0 b   第 2 の導電層
- 1 0 0   メモリトランジスタ
- 2 2 0   フローティングゲートの周縁部の上部

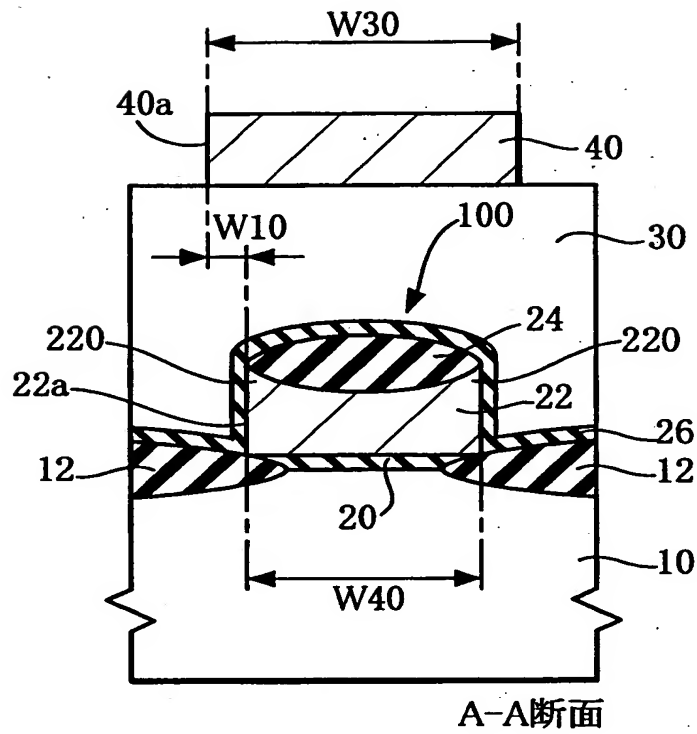


【図 2】

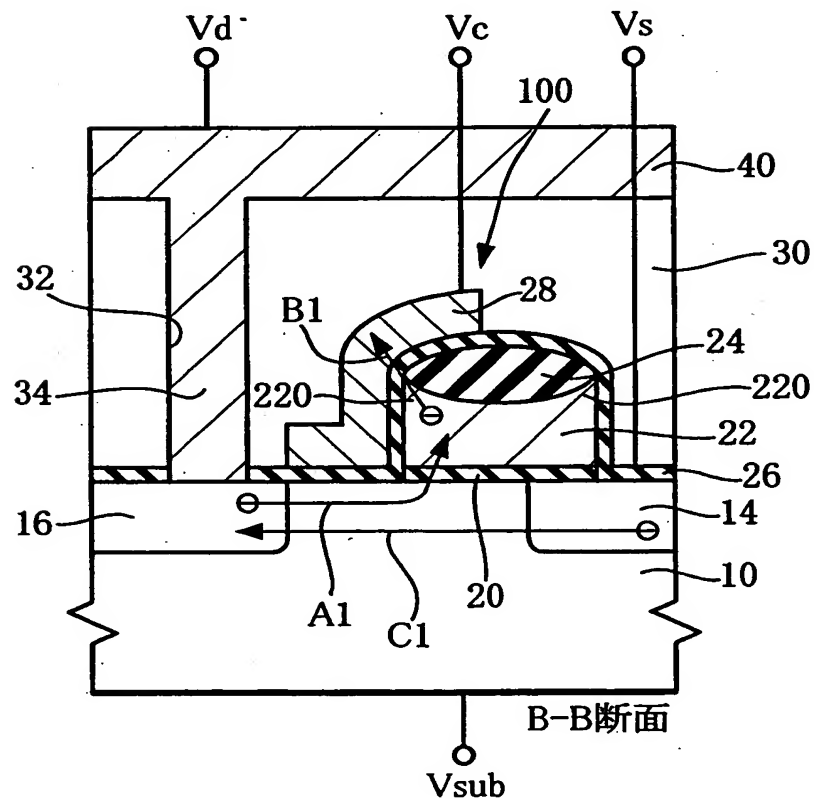


【図 3】

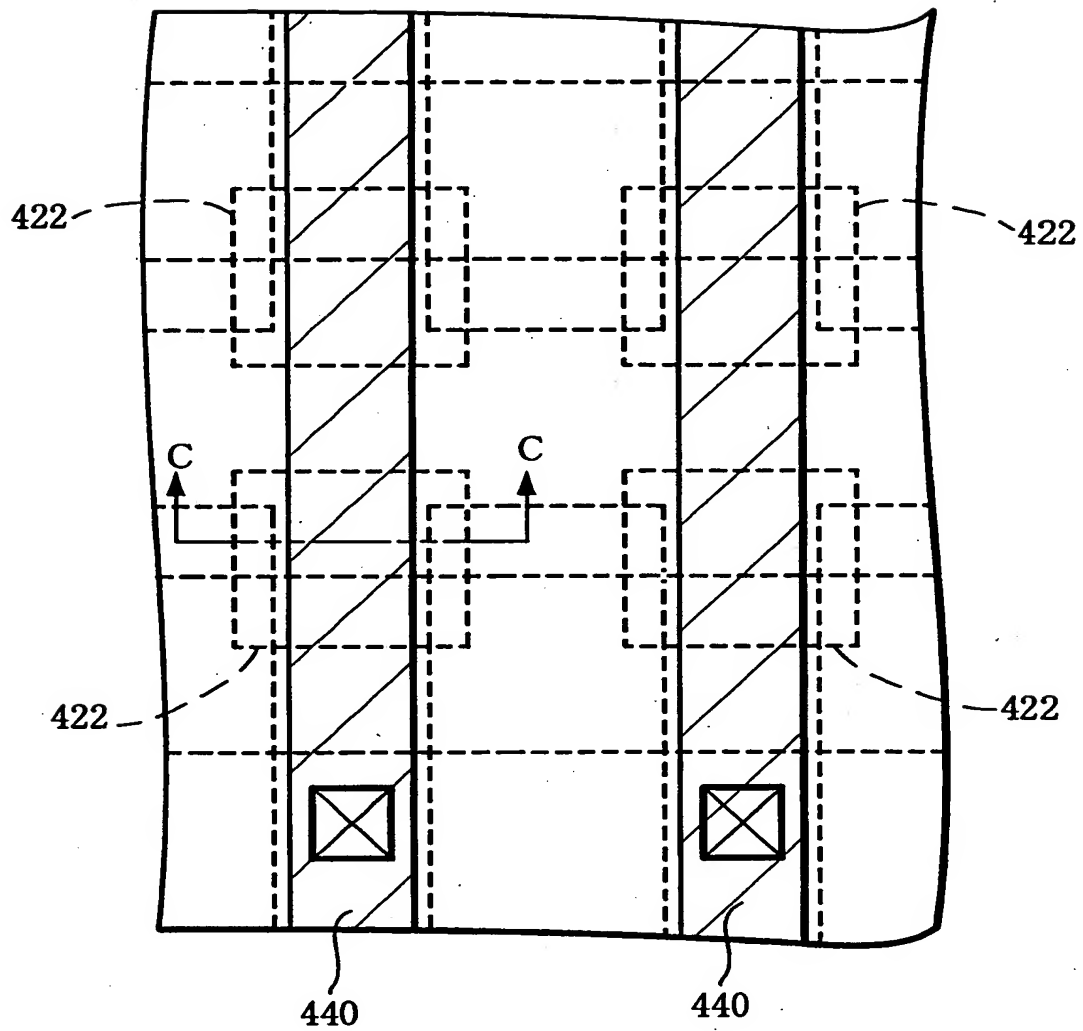
( a )



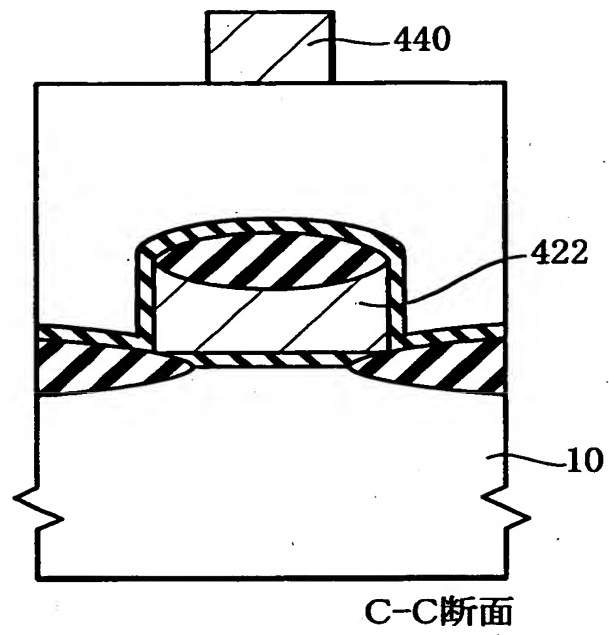
(b)



【図4】

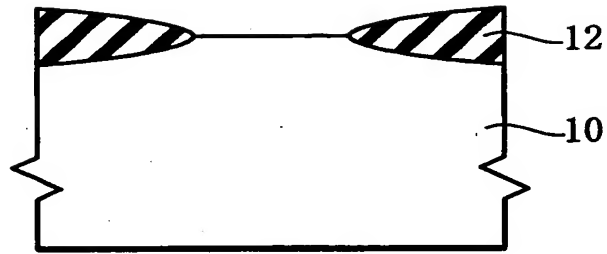


【図 5】

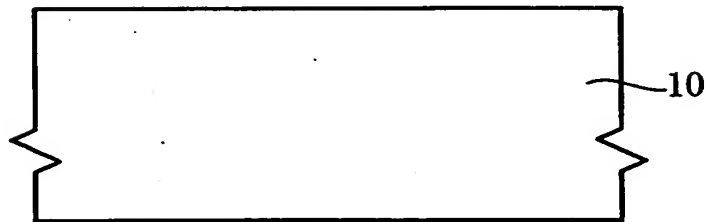


【図 6】

(a)

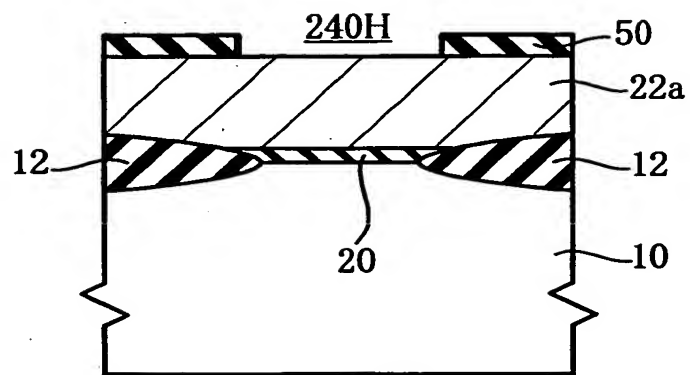


(b)

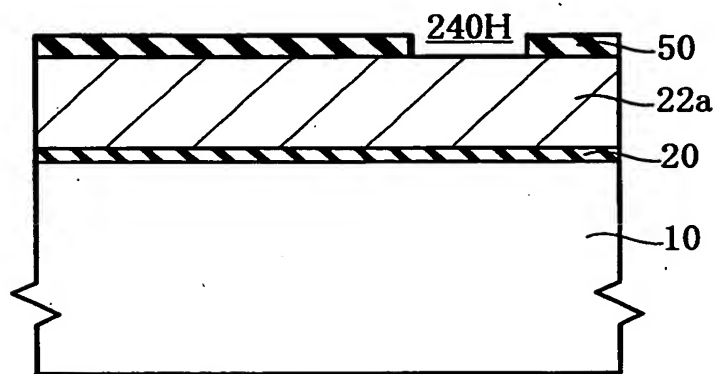


【図 7】

(a)



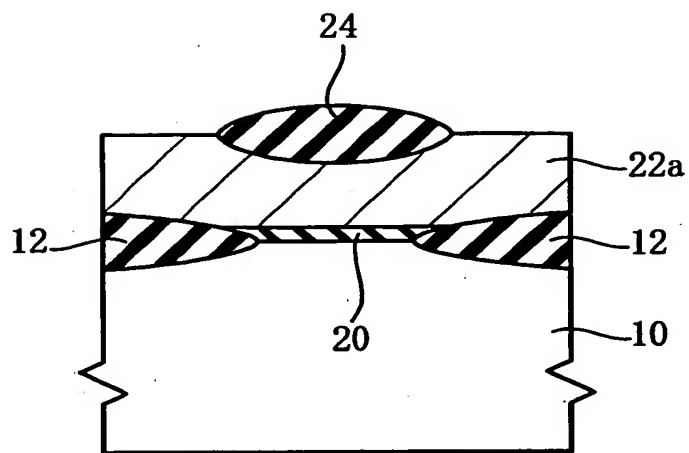
(b)



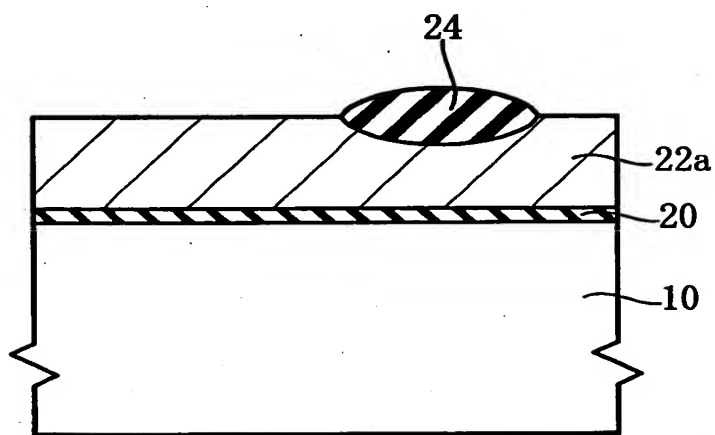


【図 8】

(a)

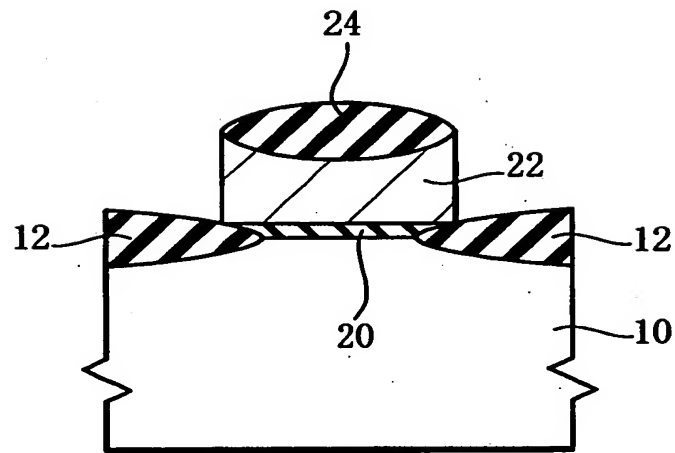


(b)

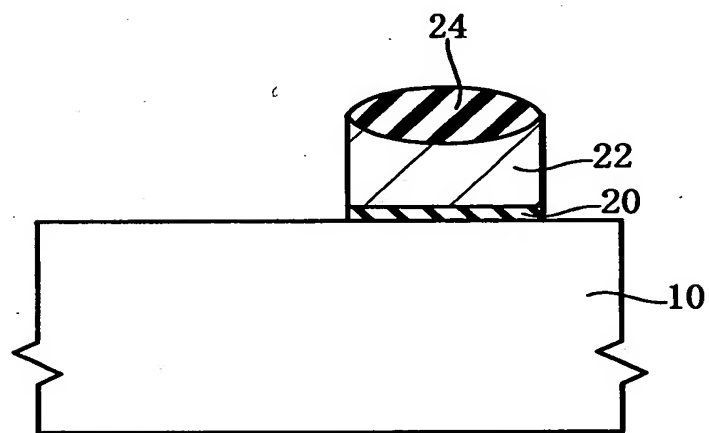


【図9】

(a)

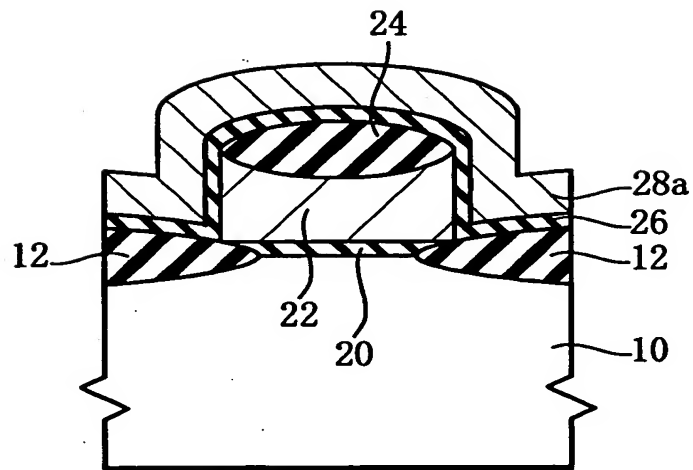


(b)

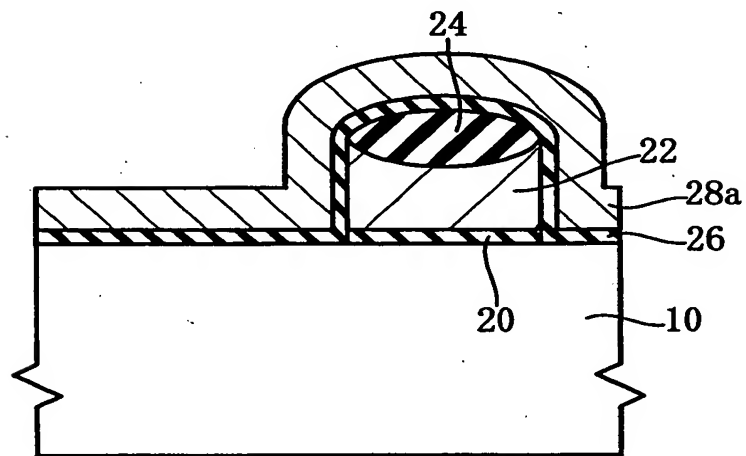


【図 1 0】

(a)

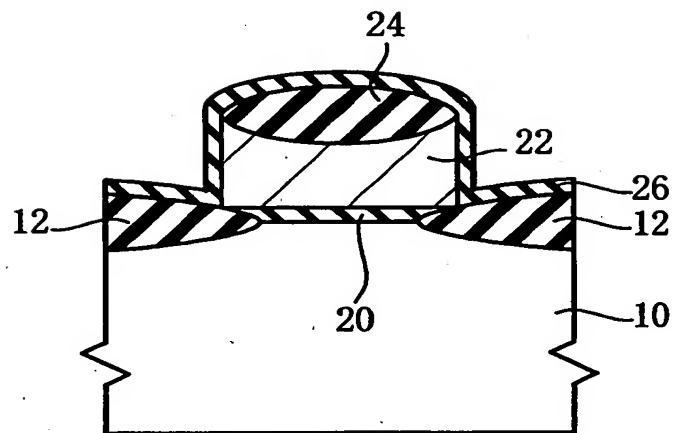


(b)

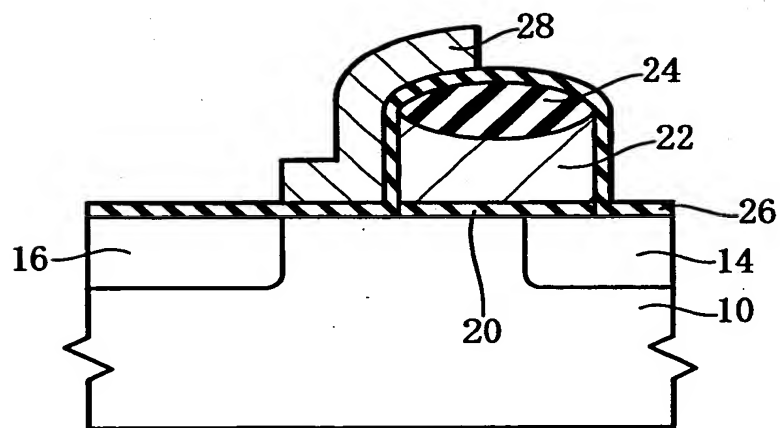


【図 1 1】

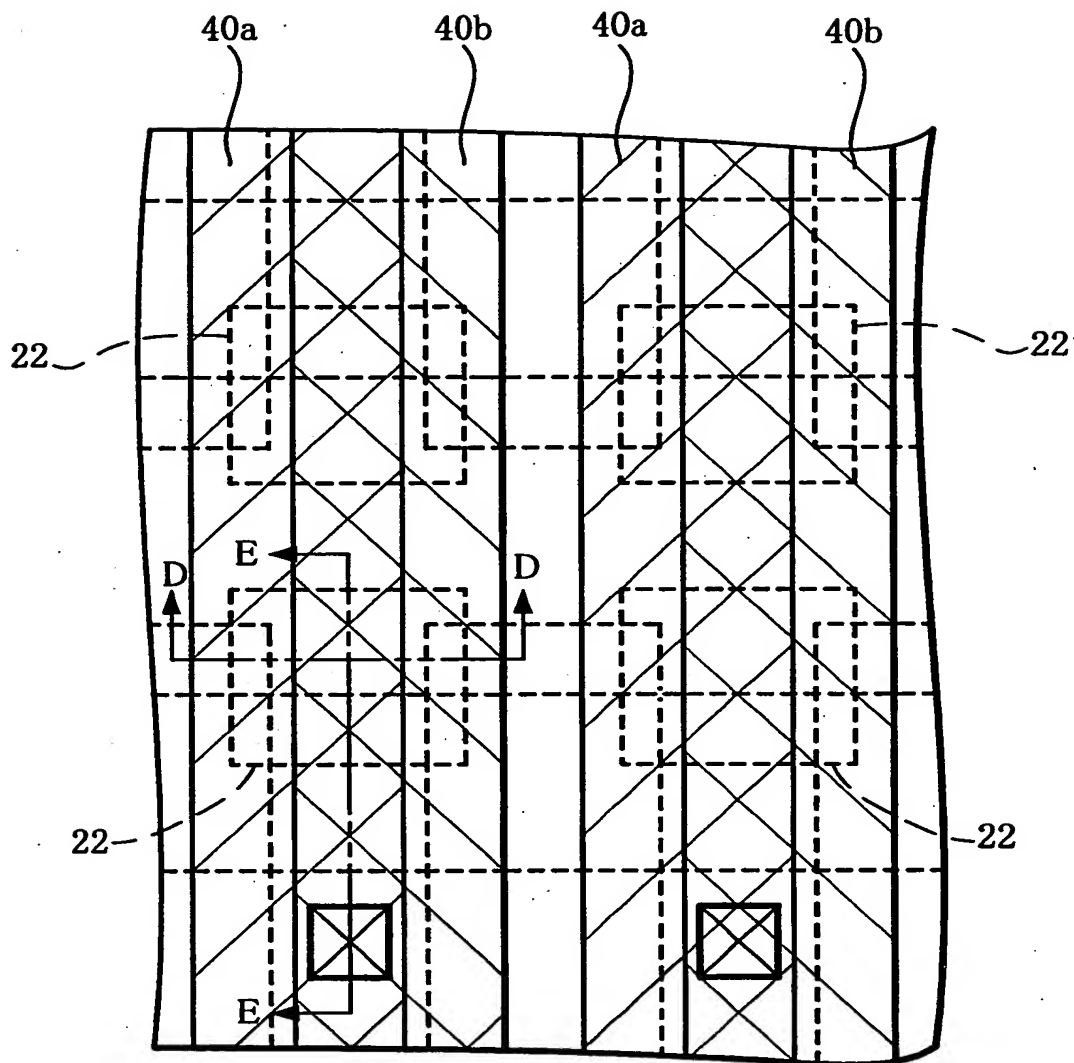
(a)



(b)

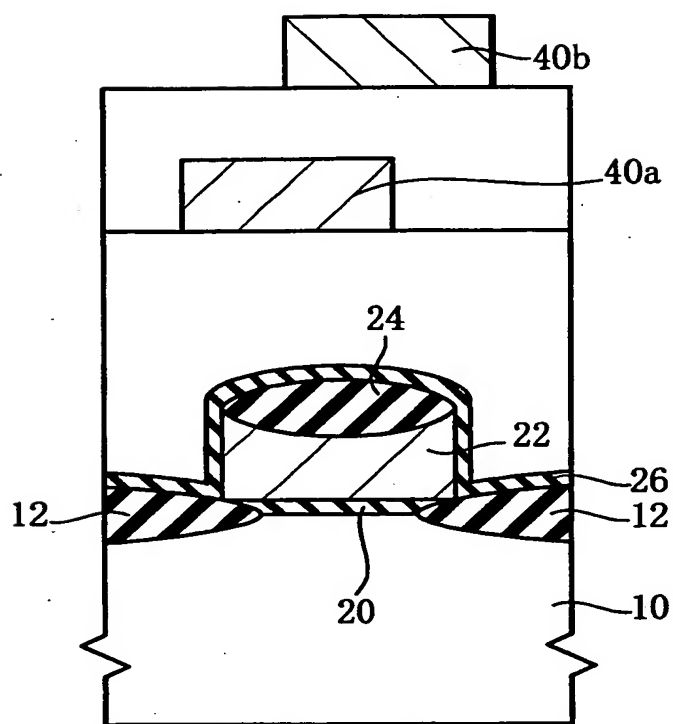


【図12】



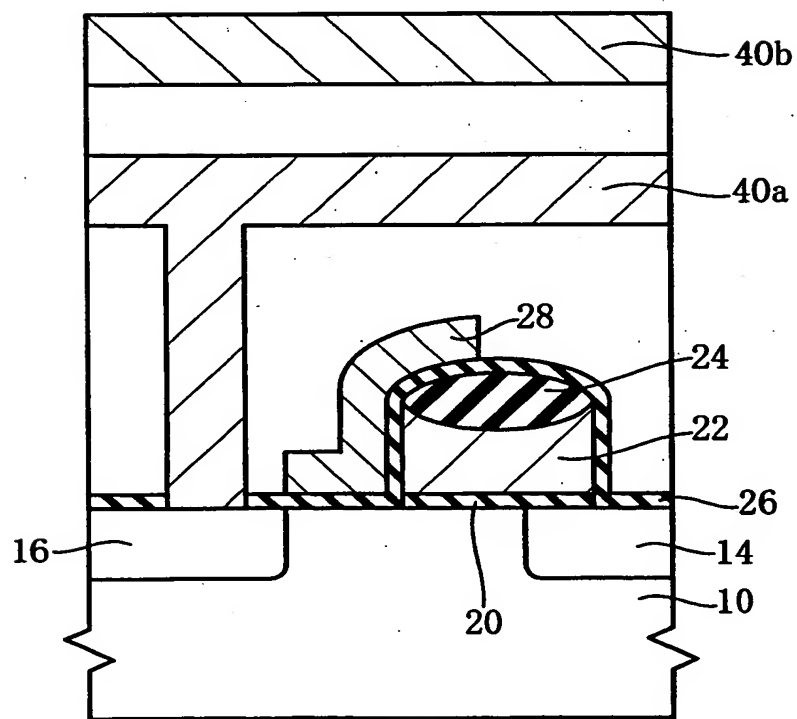
【図13】

(a)



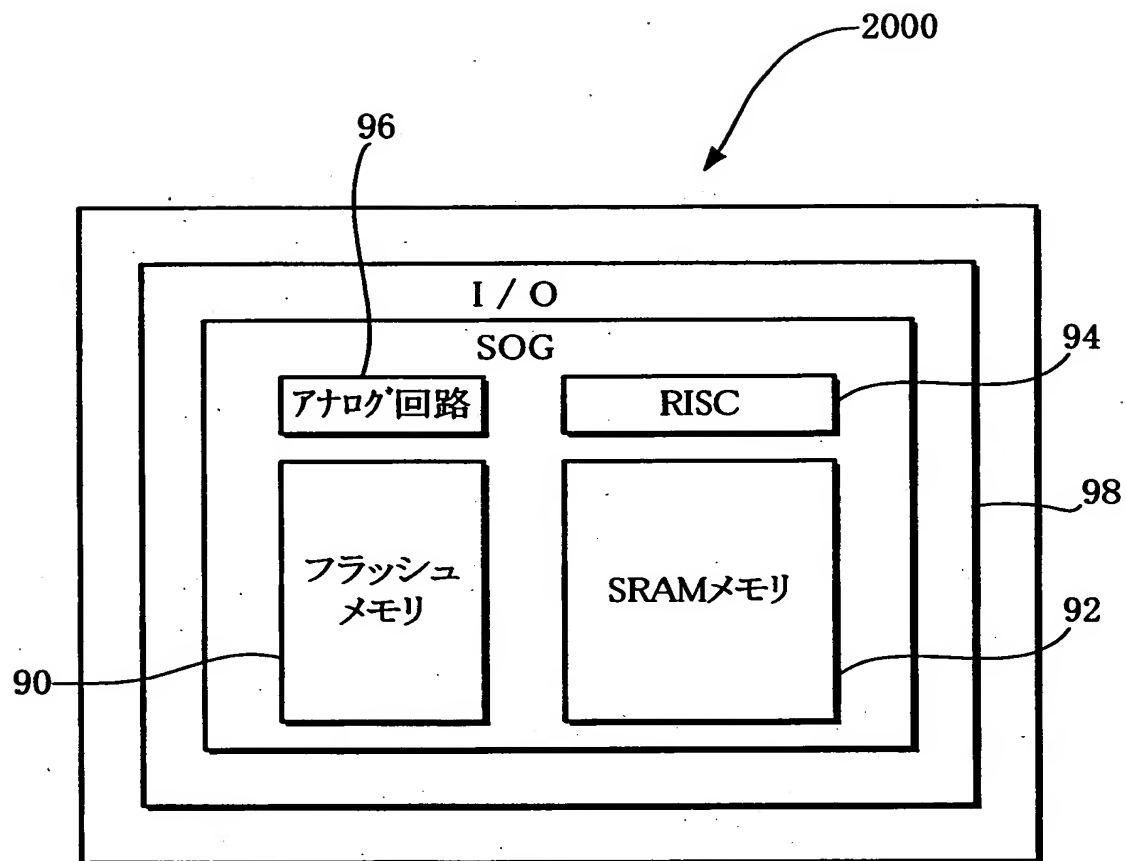
D-D断面

(b)

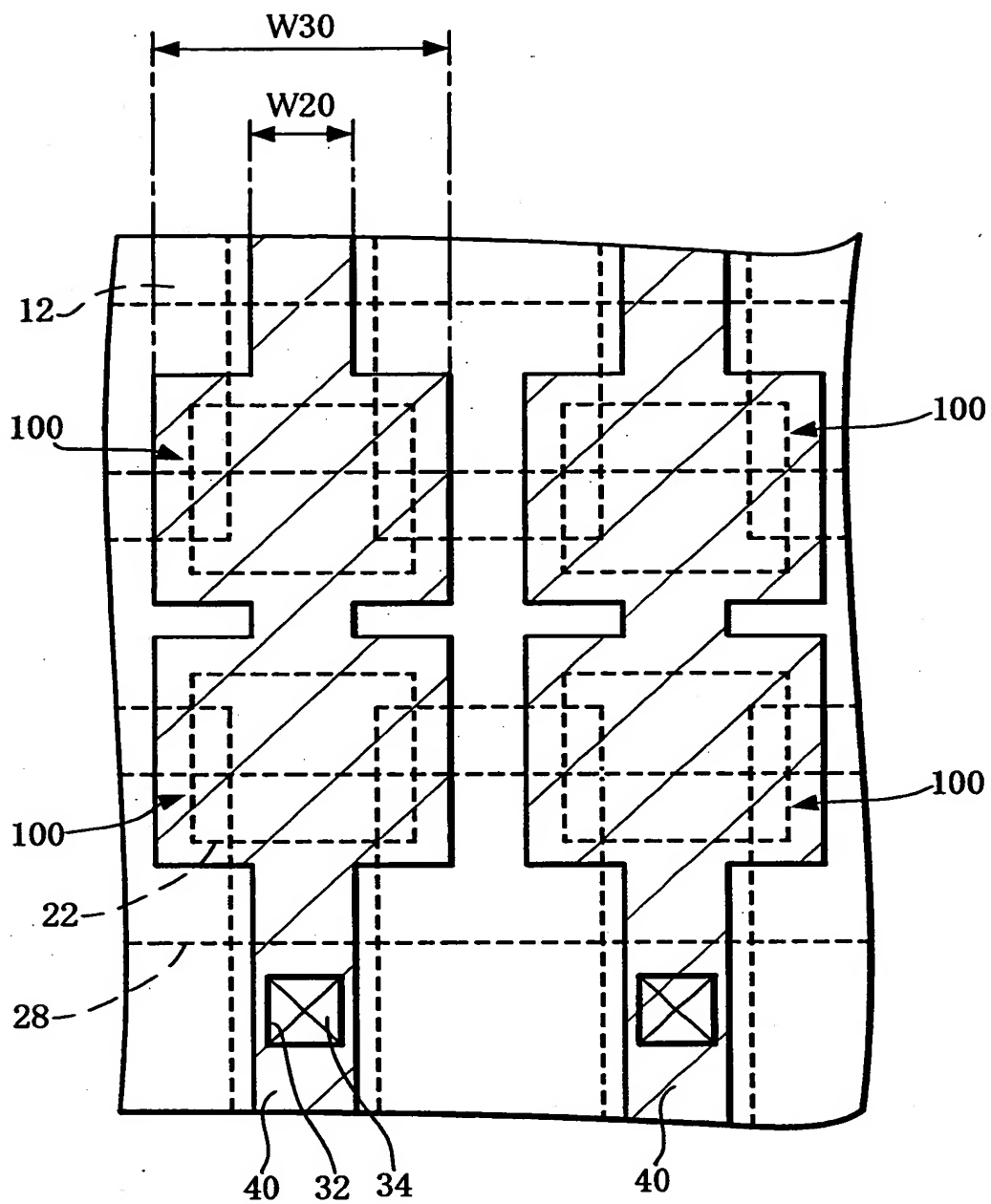


E-E断面

【図 1 4】

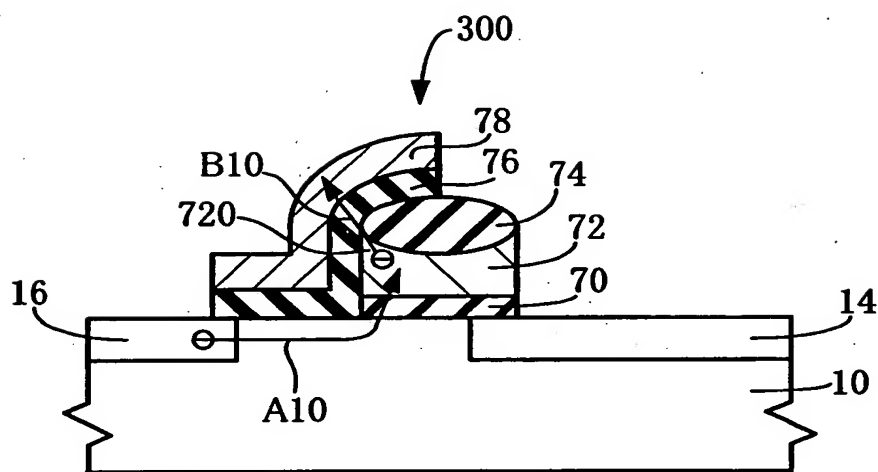


【図 15】





【図16】



【書類名】 要約書

【要約】

【課題】 書換え可能回数特性が向上された、不揮発性メモリトランジスタを有する半導体装置を提供する。

【解決手段】 半導体装置は、シリコン基板 1 0 と、シリコン基板 1 0 上に、第 1 の絶縁層 2 0 を介在させて配置されたフローティングゲート 2 2 と、フローティングゲート 2 2 の少なくとも一部と接触する第 2 の絶縁層 2 6 と、第 2 の絶縁層 2 6 の上に形成されたコントロールゲート 2 8 と、シリコン基板 1 0 内に形成されたソース領域 1 4 およびドレイン領域 1 6 と、を含む。フローティングゲート 2 2 の上方において、配線層 4 0 が設けられ、フローティングゲート 2 2 の全体は、平面的にみて配線層 4 0 と重なっている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社